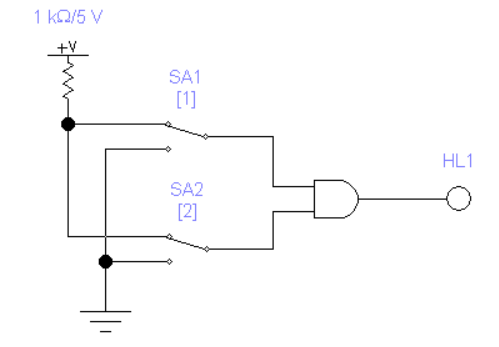
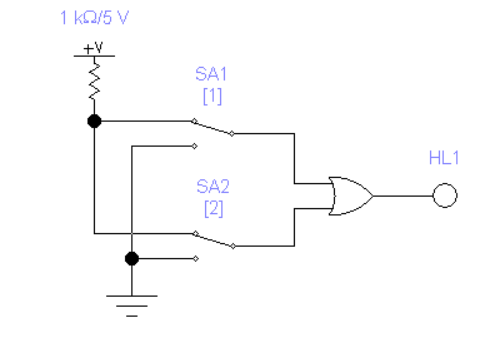
**Лабораторна робота 6 (Варіант 3)**

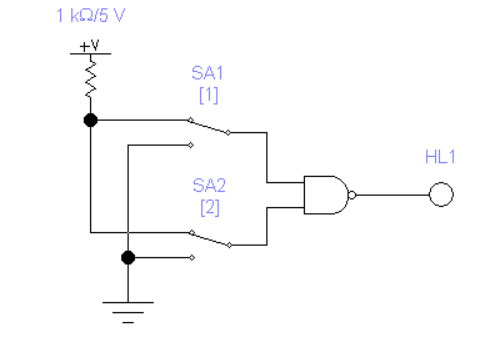
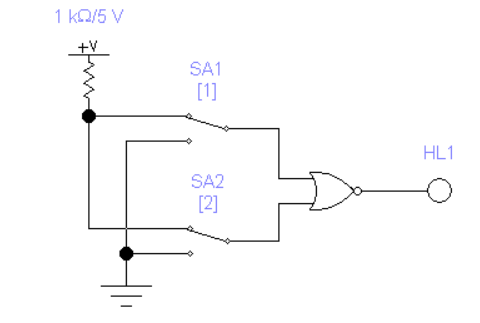
**Дослідження основних логічних елементів**

**Мета роботи:**дослідити основні логічні елементи та комбінаційні пристрої, побудовані на їх основі.

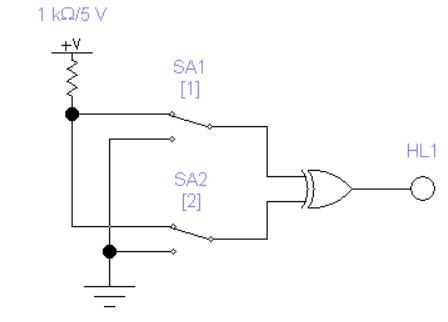
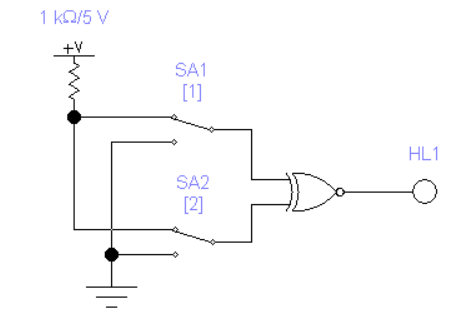
**Хід роботи**

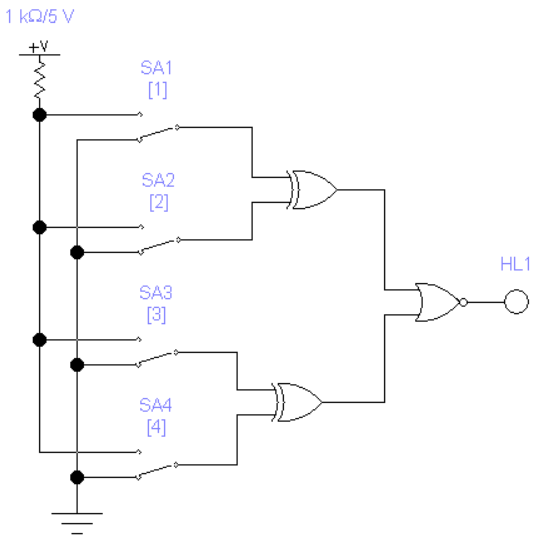
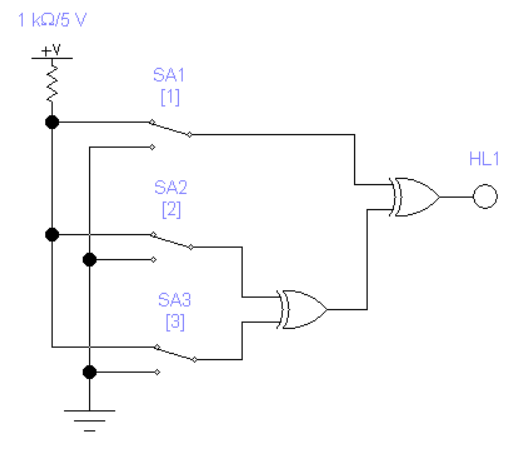
а) логічного елемента «І»; б) логічного елемента «АБО»;

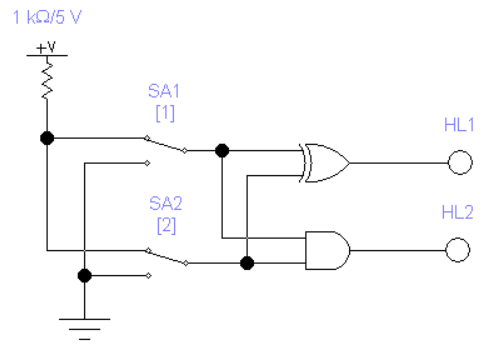
в) логічного елемента «І-НЕ»; г) логічного елемента «АБО-НЕ»;

д) логічного елемента «Виключне АБО»; е) логічного елемента «Виключне АБО-НЕ»;



є) ж)



з)

Рис. 1. Схема:

є) трьохрозрядного пристрою перевірки на парність;

ж) пристрою порівняння двох двохрозрядних чисел;

з) двійкового однорозрядного суматора;

Таблиця 1

Таблиця істинності елемента “I”

|  |  |  |
| --- | --- | --- |
| Вхідні сигнали | | Вихідний сигнал |
| SA2 | SA1 | HL1 |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

HL1 = SA1 SA2

Таблиця 2

Таблиця істинності елемента “АБО”

|  |  |  |
| --- | --- | --- |
| Вхідні сигнали | | Вихідний сигнал |
| SA2 | SA1 | HL1 |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

HL1 = SA1 + SA2

Таблиця 3

Таблиця істинності елемента “І-НЕ”

|  |  |  |
| --- | --- | --- |
| Вхідні сигнали | | Вихідний сигнал |
| SA2 | SA1 | HL1 |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

HL1 = (SA1 SA2)`

Таблиця 4

Таблиця істинності елемента “АБО-НЕ”

|  |  |  |
| --- | --- | --- |
| Вхідні сигнали | | Вихідний сигнал |
| SA2 | SA1 | HL1 |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

HL1 = (SA1 + SA2)`

Таблиця 5

Таблиця істинності елемента “Виключне АБО”

|  |  |  |
| --- | --- | --- |
| Вхідні сигнали | | Вихідний сигнал |
| SA2 | SA1 | HL1 |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

HL1 = (SA2` SA1) + (SA2 SA1`)

Таблиця 6

Таблиця істинності елемента “Виключне АБО-НЕ”

|  |  |  |
| --- | --- | --- |
| Вхідні сигнали | | Вихідний сигнал |
| SA2 | SA1 | HL1 |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

HL1 = ((SA2` SA1) + (SA2 SA1`))`

Таблиця 7

Таблиця істинності пристрою перевірки на парність

|  |  |  |  |
| --- | --- | --- | --- |
| Вхідні сигнали | | | Вихідний сигнал |
| SA3 | SA2 | SA1 | HL1 |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

HL1 = (SA3` SA2` \*SA1`) + (SA3` SA2 SA1`) + (SA3 SA2` SA1`) + (SA3 SA2 SA1)

Таблиця 8

Таблиця істинності пристрою порівняння двох двохрозрядних чисел

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Вхідні сигнали | | | | Вихідний сигнал |
| SA4 | SA3 | SA2 | SA1 | HL1 |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

HL1 = (SA4` SA3` SA2` SA1`) + (SA4` SA3` SA2 SA1) + (SA4 SA3 SA2` SA1`) + (SA4 SA3 SA2 SA1)

Таблиця 9

Таблиця істинності двійкового однорозрядного суматора

|  |  |  |  |
| --- | --- | --- | --- |
| Вхідні сигнали | | Вихідний сигнал | |
| SA2 | SA1 | HL1 | HL2 |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

HL1 = (SA2` SA1) + (SA2 SA1`)

HL2 = SA2 SA1

**Висновок.** На даній лабораторній роботі я дослідив основні логічні елементи та комбінаційні пристрої, побудовані на їх основі.